

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-233999

(P2003-233999A)

(43) 公開日 平成15年8月22日 (2003.8.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 K	5 F 0 3 8
			6 0 3 L	5 F 0 8 3
H 0 1 L 21/822		H 0 1 L 27/10	4 6 1	5 F 1 0 1
21/8247			4 9 1	5 J 0 5 6
27/04		H 0 3 K 19/00	B	5 L 1 0 6
審査請求 未請求 請求項の数16 O L (全 19 頁) 最終頁に続く				

(21) 出願番号 特願2002-30189 (P2002-30189)

(22) 出願日 平成14年2月7日 (2002.2.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐々木 敏夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 山田 利夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

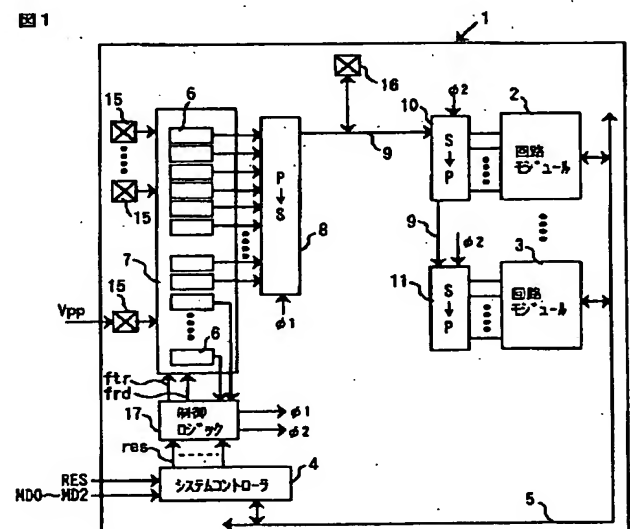
(54) 【発明の名称】 半導体集積回路及び半導体集積回路の製造方法

(57) 【要約】

【課題】 複数のオンチップ回路モジュールに対する欠陥救済等のために配信される制御情報に対して高い信頼性を保証する。

【解決手段】 半導体集積回路 (1) は、回路モジュール (2, 3) の欠陥救済等のための制御情報の記憶に、共通バス (5) に接続される汎用利用される不揮発性メモリを用いず、専用信号線 (9) に接続されたヒューズ回路 (7) の不揮発性メモリセル (6) を用いる。制御情報に対する情報記憶の信頼性が汎用不揮発性メモリの情報記憶性能に制限されず、制御情報に対する情報記憶の信頼性を向上させることが容易である。制御情報の伝達に用いる第2配線はそれ専用の配線であるから、回路モジュールで実動作に利用される回路部分との接続の切換えやその制御を行なうことを要しない。制御情報を配信するための回路構成を簡素化することができる。

図1



1

【特許請求の範囲】

【請求項1】 複数の回路モジュールと、前記複数の回路モジュールを接続する第1配線と、前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報を記憶する複数の不揮発性メモリセルを備え電氣的に記憶情報を読み出し可能にされるヒューズ回路と、前記回路モジュールに個別に対応され前記制御情報を記憶する揮発性の複数のレジスタ手段と、前記ヒューズ回路と前記複数のレジスタ手段を接続し前記制御情報の伝達に専用化された第2配線と、前記ヒューズ回路から記憶情報を読み出し可能にする不揮発性メモリセルへの電圧印加状態を形成する制御、前記ヒューズ回路から読み出した制御情報を前記第2配線を介して前記レジスタ手段に伝達する制御、及びヒューズ回路から第2配線への読み出し後に、前記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除する制御を行なう制御手段と、を半導体基板に有することを特徴とする半導体集積回路。

【請求項2】 複数の回路モジュールと、前記複数の回路モジュールを接続する第1配線と、前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報を記憶する複数の不揮発性メモリセルを備え電氣的に記憶情報を読み出し可能にされるヒューズ回路と、前記ヒューズ回路から読み出された制御情報を保持する揮発性の第1レジスタ手段と、前記回路モジュールに個別に対応され前記制御情報を記憶する揮発性の複数の第2レジスタ手段と、前記第1レジスタ手段と前記複数の第2レジスタ手段を接続し前記制御情報の伝達に専用化された第2配線と、前記ヒューズ回路の不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を形成する制御、前記不揮発性メモリセルから第1レジスタ手段に読み出した制御情報を前記第2配線を介して前記第2レジスタ手段に伝達する制御、及び第1レジスタ手段への読み出し後に、前記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除する制御を行なう制御手段と、を半導体基板に有することを特徴とする半導体集積回路。

【請求項3】 前記ヒューズ回路は前記半導体基板の一個所に集中配置されて成ることを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】 前記制御手段による動作は半導体集積回路の初期化の指示に应答して開始されることを特徴とする請求項1又は2記載の半導体集積回路。

【請求項5】 前記第2配線は第1レジスタ手段及び複数の第1レジスタ手段を直列に接続することを特徴とする請求項2記載の半導体集積回路。

【請求項6】 前記第1レジスタ手段は、ヒューズ回路から並列出力される制御情報を保持して直列的に出力するシフトレジスタであることを特徴とする請求項5記載の半導体集積回路。

2

【請求項7】 前記第2レジスタ手段は、シリアル入力端子が第2配線の上流に接続しシリアル出力端子が第2配線の下流に接続し、対応する回路モジュールに接続するパラレル出力端子を有するシフトレジスタであることを特徴とする請求項6記載の半導体集積回路。

【請求項8】 前記第2配線の情報を半導体基板の外部に出力し、また、第2配線に外部からデータ入力を可能にするテスト用外部インタフェース手段を有することを特徴とする請求項1又は2記載の半導体集積回路。

10 【請求項9】 前記ヒューズ回路は前記不揮発性メモリセルに対する制御情報の書き込みが行われたか否かを示すサインビットの格納用に割当てられた不揮発性メモリセルを有することを特徴とする請求項1又は2記載の半導体集積回路。

20 【請求項10】 前記ヒューズ回路が記憶する制御情報は、欠陥のある回路モジュールを予備の回路モジュールに置き換えるための情報と回路モジュール内の部分的欠陥を救済する為の制御情報との内の何れか一方の情報又は双方の情報であることを特徴とする請求項1又は2記載の半導体集積回路。

30 【請求項11】 前記不揮発性メモリセルは、第1ソース電極、第1ドレイン電極、フローティングゲート電極及びコントロールゲート電極を有し、異なる閾値電圧を持つことが可能な不揮発性記憶素子と、第2ソース電極及び第2ドレイン電極を有し前記フローティングゲート電極をゲート電極とし、前記不揮発性記憶素子が持つ閾値電圧に応じて異なる相互コンダクタンスを持つことが可能な読み出しトランジスタ素子と、前記読み出しトランジスタ素子を読み出し信号線に接続する選択トランジスタと、を含んで成るものであることを特徴とする請求項1又は2記載の半導体集積回路。

40 【請求項12】 前記不揮発性メモリセルは、第1ソース電極、第1ドレイン電極、フローティングゲート電極及びコントロールゲート電極を有し、異なる閾値電圧を持つことが可能な不揮発性記憶素子と、第2ソース電極及び第2ドレイン電極を有し前記フローティングゲート電極をゲート電極とし、前記不揮発性記憶素子が持つ閾値電圧に応じて異なるスイッチ状態を持つことが可能な読み出しトランジスタ素子と、前記読み出しトランジスタ素子を読み出し信号線に接続する選択トランジスタと、を含んで成るものであることを特徴とする請求項1又は2記載の半導体集積回路。

50 【請求項13】 前記不揮発性記憶素子は、コントロールゲート電極として機能される第1半導体領域の上に絶縁層を介して容量電極が設けられたMOS容量素子と、第2半導体領域に形成された第1ソース電極及び第1ドレイン電極とゲート電極とを有するMOSトランジスタとを有し、前記容量電極は前記ゲート電極に共通接続されてフローティングゲート電極として機能されて成るものであることを特徴とする請求項11又は12記載の半

導体集積回路。

【請求項14】 前記不揮発性記憶素子と読み出しトランジスタ素子を夫々対有し、一方の不揮発性記憶素子のフローティングゲート電極は一方の読み出しトランジスタ素子が共有し、他方の不揮発性記憶素子のフローティングゲート電極は他方の読み出しトランジスタ素子が共有し、

前記一对の読み出しトランジスタ素子は前記選択トランジスタ素子に直列接続されて成ることを特徴とする請求項11又は12記載の半導体集積回路。

【請求項15】 前記不揮発性記憶素子と読み出しトランジスタ素子を夫々対有し、一方の不揮発性記憶素子のフローティングゲート電極は一方の読み出しトランジスタ素子が共有し、他方の不揮発性記憶素子のフローティングゲート電極は他方の読み出しトランジスタ素子が共有し、

前記一对の読み出しトランジスタ素子は前記選択トランジスタ素子に並列接続されて成ることを特徴とする請求項11又は12記載の半導体集積回路。

【請求項16】 複数の回路モジュールと、前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報の書き込みが可能にされた複数の不揮発性メモリセルを備え電氣的に記憶情報を読み出し可能にされるヒューズ回路と、前記ヒューズ回路の記憶情報を回路モジュールに伝達可能にする専用配線と、前記専用配線の情報を半導体基板の外部に出力し、また、前記専用配線に外部からデータ入力を可能にするテスト用外部インタフェース手段と、を有する半導体集積回路の製造に当たり、

前記テスト用外部インタフェース手段から専用配線を介して回路モジュールに制御情報を与える第1処理と、前記制御情報が与えられ得た状態で回路モジュールの動作を確認する第2処理と、前記第2処理による確認結果に応じて前記ヒューズ回路に制御データを書き込む第3処理と、を含むことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報を記憶するのに不揮発性メモリセルを用いた半導体集積回路、更にはそのような不揮発性メモリセルに制御情報を書き込んで半導体集積回路を製造する方法に関し、例えば、ロジック回路とRAMを搭載したマイクロコンピュータもしくはシステムLSIに適用して有効な技術に関する。

【0002】

【従来の技術】 オンチップメモリの欠陥救済や論理回路の特性調整に用いる救済情報等をフラッシュメモリセルのような不揮発性メモリセルに保持させる技術について

特開2000-149588に記載がある。これによれば、CPU (Central Processing Unit) と共にRAMやフラッシュメモリがオンチップされた半導体集積回路において、RAMの欠陥に対する救済情報などをフラッシュメモリに格納しておき、パワーオン等における初期化動作の一環として、フラッシュメモリが保持する救済情報等を汎用バスに読み出し、読み出した救済情報等をRAM等に固有のレジスタにロードする。レジスタにロードされた救済情報等は対応するRAMにおいて欠陥アドレスの判定回路、欠陥アドレスを救済用アドレスに切換える切換え回路などに供給される。

【0003】

【発明が解決しようとする課題】 本発明者はオンチップ回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報について検討した。

【0004】 第1に、そのような制御情報に対しては情報記憶に高い信頼性が要求される。そのような制御情報に少しでも誤りがあると回路モジュールは恒常的に誤動作を生じ、或は不所望な性能低下を生ずる。このとき、LSIの実動作で汎用的に用いられるフラッシュメモリを制御情報の保持に流用する場合には、制御情報に対して一般的なデータに対する信頼性と同様の信頼性しか得ることができない。

【0005】 第2に、汎用バスを用いて制御情報の初期設定を行なう場合には、実動作でも利用される汎用バスと回路モジュールの接続形態若しくは回路モジュール内部での接続先を変更する切換え回路やその制御論理を設けることが必要である。然も共通バスを用いて回路モジュールに制御情報をロードするにはロード先のレジスタ選択もしくはアドレス指定などの制御も必要になる。要するに回路構成が比較的複雑になる。

【0006】 第3に、そのような制御情報は容易に書換えが行なわれないことが必要である。したがって、実動作で利用可能なフラッシュメモリの前記制御情報格納領域に対しては特権モード若しくはユーザ非公開モードのみで書換え可能とするように、システムのアドレス管理も必要になる。

【0007】 第4に、制御情報による動作確認を行なう場合、フラッシュメモリにその都度制御情報を書き込むことを要するなら、動作確認のために書換え頻度が増え、それによって不揮発性メモリセルに特性劣化を招く虞がある。

【0008】 本発明の目的は、複数のオンチップ回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのために配信される制御情報に対して高い信頼性を保証することができる半導体集積回路を提供することにある。

【0009】 本発明の別の目的は、欠陥救済、回路特性のトリミング又は機能切換え用の制御情報に対する配信に必要な回路構成を簡素化できる半導体集積回路を提供

5

することにある。

【0010】本発明の更に別の目的は、欠陥救済、回路特性のトリミング又は機能切換え用の制御情報に対して不所望に書換え操作される虞の少ない半導体集積回路を提供することにある。

【0011】本発明の更に別の目的は、欠陥救済、回路特性のトリミング又は機能切換え用の制御情報による動作確認を行なうために不揮発性メモリセルを書換える頻度を極力少なくすることができる半導体集積回路を提供することにある。

【0012】本発明のその他の目的は、欠陥救済、回路特性のトリミング又は機能切換え用の制御情報に基づく動作の信頼性が高い半導体集積回路を製造する方法を提供することにある。

【0013】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】〔1〕本発明に係る半導体集積回路は、共通バス等の第1配線に接続された複数の回路モジュールを有し、前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報を記憶するのに複数の不揮発性メモリセルを備え電気的に記憶情報を読み出し可能にされるヒューズ回路を備えている。前記回路モジュールに個別に対応して前記制御情報を記憶するのに複数の揮発性メモリセルを備えた複数のレジスタ手段を採用し、前記ヒューズ回路と前記複数のレジスタ手段を前記制御情報の伝達に専用化された第2配線で接続する。前記ヒューズ回路から記憶情報を読み出し可能にする不揮発性メモリセルへの電圧印加状態を形成する制御、前記ヒューズ回路から読み出した制御情報を前記第2配線を介して前記レジスタ手段に伝達する制御、及びヒューズ回路から第2配線への読み出し後に、前記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除する制御を行なう制御手段を備えている。

【0016】本発明に係る半導体集積回路の更に詳しい一つの態様では、前記ヒューズ回路から読み出された制御情報を保持する複数の揮発性メモリセルを備えた第1レジスタ手段を設け、前記第1レジスタ手段と前記複数の第2レジスタ手段を前記制御情報の伝達に専用化された第2配線で接続する。このとき、制御手段は、前記ヒューズ回路の不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を形成する制御、前記不揮発性メモリセルから第1レジスタ手段に読み出した制御情報を前記第2配線を介して前記第2レジスタ手段に伝達する制御、及び第1レジスタ手段への読み出し後に、前

6

記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除する制御を行なう。

【0017】上記した手段によれば、共通バスのような第1配線を共有していないヒューズ回路の不揮発性メモリセルを制御情報の記憶に用いる。したがって、汎用利用されるフラッシュメモリを制御情報の格納に用いる場合に顕在化される虞のある情報記憶の信頼性低下を抑制できる。要するに、汎用メモリが保証する情報記憶の信頼性よりも高い信頼性を有する不揮発性メモリセルを用いることができる。

【0018】制御情報の伝達に用いる第2配線はそれ専用の配線であるから、回路モジュールで実動作に利用される回路部分との接続の切換えやその制御を行なうことを要しない。これによって、制御情報を配信するための回路構成を簡素化することができる。

【0019】前記ヒューズ回路から制御情報を読み出してレジスタ手段（第2レジスタ手段）に読み出した後、前記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除するので、それ以降、半導体集積回路の実動作期間であっても、ヒューズ回路の不揮発性メモリセルには電気的なストレスがかからない。この点においても、制御情報に対する情報記憶の信頼性が向上する。

【0020】本発明の一つの望ましい形態として、前記ヒューズ回路は前記半導体基板の一個所に集中配置されるのがよい。記憶情報の書込みに必要な高電圧動作回路を一個所に集中配置でき、低耐圧回路部分との分離もしくは離間のためのスペースを最小限に抑えることが可能になる。

【0021】本発明の一つの望ましい形態として、前記制御手段による動作は半導体集積回路の初期化の指示にตอบสนองして開始するとよい。回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えを行なうのは、実動作が開始される直前とするのが合理的である。例えばマイクロコンピュータであればパワーオンリセット若しくはシステムリセットに合わせて行なうのがよい。

【0022】本発明の一つの望ましい形態として、前記第2配線は前記回路モジュールに個別のレジスタ手段を直列接続するのがよい。クロック同期のシフトレジスタ動作で順次制御情報を直列的に送ることにより、制御情報を複数のレジスタ手段に配信することができる。更に具体的には、前記第1レジスタ手段は、ヒューズ回路から並列出力される制御情報を保持して直列的に出力するシフトレジスタである。前記第2レジスタ手段は、シリアル入力端子が第2配線の上流に接続しシリアル出力端子が第2配線の下流に接続し、対応する回路モジュールに接続するパラレル出力端子を有するシフトレジスタである。

【0023】本発明の一つの望ましい形態として、前記

10

20

30

40

50

第2配線の情報を半導体基板の外部に出力し、また、第2配線に外部からデータ入力をするテスト用外部インタフェース手段を有するのがよい。外部からのテスト用制御情報を直接レジスタ手段にロードすることが可能になる。欠陥救済、回路特性のトリミング又は機能切換え用の制御情報による動作確認を行なうために不揮発性メモリセルを書換える頻度を極力少なくすることができ、それによって不揮発性メモリセルの特性劣化の虞を低減することができる。

【0024】本発明の一つの望ましい形態として、前記ヒューズ回路は前記不揮発性メモリセルに対する制御情報の書き込みが行われたか否かを示すサインビットの格納用に割当てられた不揮発性メモリセルを有する。制御情報の書き込み完了の有無を容易に見分けられ、誤ってオーバーライトすることによる素子特性の劣化や情報記憶の不安定を未然に防止することができる。

【0025】前記ヒューズ回路が記憶する制御情報は、欠陥のある回路モジュールを予備の回路モジュールに置き換えるための情報と、回路モジュール内の部分的欠陥を救済する為の制御情報との内の何れか一方の情報又は双方の情報としてよい。双方の情報とすれば、回路モジュールに対して欠陥救済を階層的に行なう場合に便利である。回路モジュールを予備の回路モジュールに置き換える手法は、回路の機能単位を成す回路モジュールを複数個並べて機能ユニットを構成するようときに用いられる。

【0026】〔2〕本発明の一つの望ましい形態として、上記不揮発性メモリセルには、読み出し動作において不揮発性記憶素子にチャネル電流を流さなくても済み、また大きなワード線電圧を印加させなくても済むようにした構造を採用して、チャージゲイン等に起因するデータ反転を生じないようにする。即ち、前記不揮発性メモリセルは、第1ソース電極、第1ドレイン電極、フローティングゲート電極及びコントロールゲート電極を有し、異なる閾値電圧を持つことが可能な不揮発性記憶素子と、第2ソース電極及び第2ドレイン電極を有し前記フローティングゲート電極をゲート電極とし、前記不揮発性記憶素子が持つ閾値電圧に応じて異なる相互コンダクタンス（或はスイッチ状態）を持つことが可能な読み出しトランジスタ素子と、前記読み出しトランジスタ素子を読み出し信号線に接続する選択トランジスタと、を含んで構成するとよい。

【0027】例えば、前記不揮発性記憶素子の一つの閾値電圧を相対的に高い閾値電圧（フローティングゲートに電子が注入された書き込み状態の閾値電圧）、他の閾値電圧を低い閾値電圧（フローティングゲートから電子が放出された消去状態の閾値電圧）とするとき、高閾値電圧状態において前記トランジスタ素子はカットオフ状態、低閾値電圧状態においてトランジスタ素子はオン状態にされるものとする（トランジスタ素子の導電型によ

っては当然逆の場合もある）。不揮発性記憶素子の消去状態は、例えば不揮発性記憶素子の第1ドレイン電極とコントロールゲート電極を回路の接地電圧のような0V、不揮発性記憶素子の第1ソース電極を6Vとし、フローティングゲート電極からトンネル電流で電子を第1ソース電極に引き抜くことによって達成できる。前記書き込み状態は、例えば不揮発性記憶素子の第1ドレイン電極とコントロールゲート電極を5V、不揮発性記憶素子の第1ソース電極を回路の接地電圧のような0Vとし、第1ドレイン電極で発生したホットエレクトロンをフローティングゲートに注入することによって達成することができる。

【0028】不揮発性記憶素子のフローティングゲート電極は前記読み出しトランジスタ素子のゲート電極になるから、読み出しトランジスタ素子は、フローティングゲート電極の電子注入状態・電子放出状態、換言すれば書き込み状態・消去状態に応じたスイッチ状態若しくは相互コンダクタンスを採る。したがって、コントロールゲートに選択レベルを与えなくても、そのスイッチ状態若しくは相互コンダクタンス状態に応じた電流を前記伝達手段に流すことができる。コントロールゲート電極に選択レベルを与えないため、必要な読み出し信号量を確保するという意味で、前記読み出しトランジスタ素子にはディプレッションタイプのMOSトランジスタを採用するとよい。

【0029】一方、前記読み出しトランジスタ素子にエンハンスメントタイプのMOSトランジスタを採用する場合には、必要な読み出し信号量を確保するという意味で、読み出し動作においてもコントロールゲート電極に選択レベルを与えることが望ましい。この形式では、読み出しトランジスタ素子は、フローティングゲート電極の電子注入状態・電子放出状態、換言すれば書き込み状態・消去状態に応じて異なる閾値電圧を持つ事になるとも理解することができる。

【0030】上記より、読み出し動作では、不揮発性記憶素子に閾値電圧に応じてチャネル電流を流す必要はない。読み出し動作時には不揮発性記憶素子のソース電極及びドレイン電極を夫々0Vのような回路の接地電位にしてよい。したがって、第1ドレイン電極からフローティングゲートに弱いホットエレクトロン注入は生じない。この時コントロールゲート電極も回路の接地電位にされている場合にはトンネル電流も生じない。仮に、コントロールゲート電極に選択レベルを印加しても、第1ドレイン電極とフローティングゲート電極の間でトンネル電流を生ずる事はない。読み出しトランジスタ素子の第2ドレイン電極との間で弱いトンネル等を生ずる虞はあるが、コントロールゲート電極の選択レベルが低ければ実質的に問題ないと考えられる。このように、読み出し動作において、チャージゲインによるデータ反転の問題を生ぜず、これによって、長期のデータ保持性能を向

上させ、読み出し不良率の低下を実現することが可能になる。

【0031】前記不揮発性記憶素子は、コントロールゲート電極として機能される第1半導体領域の上に絶縁層を介して容量電極が設けられたMOS容量素子と、第2半導体領域に形成された第1ソース電極及び第1ドレイン電極とゲート電極とを有するMOSトランジスタとを有し、前記容量電極は前記ゲート電極に共通接続されてフローティングゲート電極として機能させる構成を採用してよい。

【0032】〔3〕上記不揮発性記憶素子と読み出しトランジスタ素子とのペア構造によるチャージゲイン対策を行った情報記憶セルに対して、更にデータリテンション対策を行って読み出し不良率を改善するには、以下の構成を採用するとよい。

【0033】第1は、前記不揮発性記憶素子と読み出しトランジスタ素子を夫々対有し、一方の不揮発性記憶素子のフローティングゲート電極は一方の読み出しトランジスタ素子が共有し、他方の不揮発性記憶素子のフローティングゲート電極は他方の読み出しトランジスタ素子が共有し、前記一对の読み出しトランジスタ素子を前記選択トランジスタ素子に直列接続する。この構成において一对の不揮発性記憶素子は共に書き込み状態又は消去状態にプログラムされる。双方の不揮発性記憶素子の書き込み状態において双方の読み出しトランジスタ素子はオフ状態になっている。書き込み状態の不揮発性記憶素子から何らかの原因で保持電荷が漏洩する可能性は確率的に0ではないが、一方の不揮発性記憶素子から保持電荷が漏洩しても前記読み出しトランジスタ素子の直列経路はカットオフ状態のままであり、双方の不揮発性記憶素子から共に保持電荷が漏洩する確率は極めて低く、これにより、データリテンションが改善され、読み出し不良率を更に低くすることが可能になる。

【0034】第2は、前記不揮発性記憶素子と読み出しトランジスタ素子を夫々対有し、一方の不揮発性記憶素子のフローティングゲート電極は一方の読み出しトランジスタ素子が共有し、他方の不揮発性記憶素子のフローティングゲート電極は他方の読み出しトランジスタ素子が共有し、前記一对の読み出しトランジスタ素子を前記選択トランジスタ素子に並列接続する。この構成においても上記同様に、一对の不揮発性記憶素子は共に書き込み状態又は消去状態にプログラムされる。第2の例は、前記読み出しトランジスタ素子の導電型が上記とは相違する場合を想定するものであるから、不揮発性記憶素子が書き込み状態にされているとき、双方の読み出しトランジスタ素子はオン状態になっている。このとき、書き込み状態の不揮発性記憶素子から何らかの原因で保持電荷が漏洩する可能性は確率的に0ではないが、一方の不揮発性記憶素子から保持電荷が漏洩しても前記読み出しトランジスタ素子の並列経路はオン状態のままであり、双方

の不揮発性記憶素子から共に保持電荷が漏洩する確率は極めて低く、これにより、データリテンションが改善され、読み出し不良率を更に低くすることが可能になる。

【0035】〔4〕本発明に係る半導体集積回路の製造方法は、複数の回路モジュールと、前記複数の回路モジュールに対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報の書き込みが可能にされた複数の不揮発性メモリセルを備え電氣的に記憶情報を読み出し可能にされるヒューズ回路と、前記ヒューズ回路の記憶情報を回路モジュールに配信可能にする専用配線と、前記専用配線の情報を半導体基板の外部に出力し、また、前記専用配線に外部からデータ入力を可能にするテスト用外部インタフェース手段と、を有する半導体集積回路の製造に当たり、前記テスト用外部インタフェース手段から専用配線を介して回路モジュールに制御情報を与える第1処理と、前記制御情報が与えられ得た状態で回路モジュールの動作を確認する第2処理と、前記第2処理による確認結果に応じて前記ヒューズ回路に制御データを書き込む第3処理と、を含む。

【0036】上記より、制御情報による動作確認を行なう場合、不揮発性メモリセルにその都度制御情報を書き込むことを要しないから、動作確認のために不揮発性メモリセルの書換えを要せず、それによって、不揮発性メモリセルに特性劣化を招く虞が低減する。

【0037】

【発明の実施の形態】図1には本発明に係る半導体集積回路の一例が示される。同図に示される半導体集積回路1は、代表的に示された3個の回路モジュール2, 3, 4を有し、それらは第1配線の一例である内部バス5に共通接続される。前記複数の回路モジュール2, 3に対する欠陥救済、回路特性のトリミング又は機能切換えのための制御情報を記憶する複数の不揮発性メモリセル6を備え電氣的に記憶情報を読み出し可能にされるヒューズ回路7が設けられる。この例ではヒューズ回路7は不揮発性メモリセル6の記憶情報を並列出力する。この並列出力される制御情報を保持する複数の揮発性メモリセルを備えた第1レジスタ手段としてのシフトレジスタ8を有する。このシフトレジスタ8は、特に制限されないは、並列入力した制御情報をクロック信号 ϕ 1に同期してシリアル出力する。そのシリアル出力は制御情報の伝達に専用化された第2配線としてのシリアルバス9に伝達される。シリアルバス9には順次第2レジスタ手段としてのシフトレジスタ10, 11が直列接続される。シフトレジスタ10, 11は、前記回路モジュール2, 3に個別に対応されて前記制御情報を記憶する複数の揮発性メモリセルを備え、シリアルバス9の上流に接続するシリアル入力端子、シリアルバス9の下流側に接続するシリアル出力端子、及び対応する回路モジュール2, 3に接続するパラレル出力端子を有する。前記シフトレジスタ10, 11はクロック信号 ϕ 2に同期してシリアルシ

11

フト動作を行なう。

【0038】回路モジュール4はシステムコントローラであり、外部から与えられるリセット信号RESやモード信号MD0～MD2等を入力し、それらによって与えられる指示に従って半導体集積回路内部の状態もしくは動作モードを制御する。

【0039】図1においてテストパッド15はヒューズ回路7に対する書き込みのための外部インタフェース用端子を構成し、テストパッド16は前記シリアルバス9を直接外部から入出力可能にするための外部インタフェース用端子を構成する。特に図示はしないがテストパッド15、16は適宜の外部インタフェース制御回路を介して外部に接続されてよいことは言うまでもない。特に制限されないが、テストパッド15、16はテスト専用とされ、パッケージの外部端子には接続されない、或はその入力端子はパッケージの電源電圧端子又は回路の接地電圧端子に結合されて入力状態が固定される。これにより、半導体集積回路の実動作においてヒューズ回路7に対する書き込みやシリアルバス9の外部インタフェースは不可能な状態にされる。テストパッド15の一つは不揮発性メモリセル6に対する書き込みのために高電圧Vppが印加される端子とされる。

【0040】図1において17で示される制御ロジックは、前記ヒューズ回路7に対する読み出しと、シフトレジスタ8、10、11に対するシフト動作等を制御する。例えばこの制御ロジック17は、前記ヒューズ回路7の不揮発性メモリセル6から記憶情報を読み出し可能にする電圧印加状態を形成する制御（読み出し制御）、前記不揮発性メモリセル6からシフトレジスタ8に読み出した制御情報を前記シリアルバス9を介して前記シフトレジスタ9、10に伝達する制御（配信制御）、シフトレジスタ8への制御情報の読み出し後に、前記不揮発性メモリセル6から記憶情報を読み出し可能にする電圧印加状態を解除する制御（電源遮断制御）等を行なう。この制御動作は、特に制限されないが、リセット信号RESによる初期化の指示に回答してシステムコントローラ4から信号resにて指示される。前記読み出し制御における読み出し動作は制御ロジック17より信号frdにて指示される。前記配信制御におけるシリアル転送動作の開始は制御ロジック17より信号ftrにて指示される。

【0041】図2には前記クロック信号φ1、φ2が例示される。図3には制御情報のシリアル配信動作の様子が例示される。制御ロジック17は相互に1/2周期ずらしたクロック信号φ1、φ2を出力する。クロック信号φ1、φ2のクロックパルス数はシリアル転送する制御情報のビット数に従って予め決まっている。図3の例では、全てのシフトレジスタ10、11のビット数がnビットであり、これに応じて必要な制御情報もD1～Dnのnビットになる。このとき、クロック信号φ1、φ

12

2はn回クロック変化される。このクロック変化の制御は、前記制御ロジック17が、不揮発性メモリセル6からnビットの制御データD1～Dnを読み出してシフトレジスタ8に並列転送した後に開始する。

【0042】半導体集積回路1において制御情報を配信する上記構成によれば、共通バスのような内部バス5を共有していないヒューズ回路7の不揮発性メモリセル6を制御情報の記憶に用いる。したがって、汎用利用されるフラッシュメモリに制御情報を格納する場合顕在化の虞ある制御情報に対する情報記憶の信頼性低下を抑制できる。制御情報の伝達に用いるシリアルバス9はそれ専用の配線であるから、回路モジュール2、3で実動作に利用される回路部分との接続の切換えやその制御を行なうことを要しない。これによって、制御情報を配信するための回路構成を簡素化することができる。

【0043】図4には前記ヒューズ回路7に対する電源遮断制御の様子が例示される。Vddは外部電源、Fvddはヒューズ回路の動作電源である。システムコントローラ4からの信号resによる指示により、制御ロジック17から出力される配信信号ftrが活性化されると、クロック信号φ1、φ2のクロック変化が開始され、例えば転送ビット数がnビットで規定されているとき、制御ロジック17はn回パルス変化をさせた後に、信号ftrを非活性に変化される。この変化を受けるヒューズ回路7は動作電源Fvddの供給スイッチが閉じられる。

【0044】動作電源Fvddの供給スイッチを閉じる別の方法として、カウンタ回路によるパルス計数値を元にしてもよい。またヒューズ回路7からシフトレジスタ8への情報転送は1クロックで転送ラッチし、その後動作電源Fvddの供給スイッチを閉じて良い。

【0045】前記電源遮断制御により、前記ヒューズ回路7から制御情報を読み出してシフトレジスタ8にラッチした後、前記ヒューズ回路7の動作電源Fvddが遮断され、不揮発性メモリセル6から記憶情報を読み出し可能にする電圧印加状態が解除されるので、それ以降、半導体集積回路の実動作期間であっても、ヒューズ回路7の不揮発性メモリセル7には電気的なストレスがかからない。この点においても、制御情報に対する情報記憶の信頼性が向上する。

【0046】図5は前記電源遮断制御の別の例が示される。ヒューズ回路7の動作電源Fvddはスイッチ回路18を介して供給される。スイッチ回路18のスイッチ制御信号は論理値“1”でスイッチをオンとし、論理値“0”でスイッチをオフとする。半導体集積回路のリセット動作では前記スイッチ制御信号のノードは論理値“0”に強制される。同図では不揮発性メモリ7の一つのメモリセル6に論理値“0”のスイッチ制御ビットDswを記憶し、スイッチ制御ビットDswを制御情報D1～Dnの先頭に配置してシリアル転送を行なうように

する。ヒューズ回路7の読み出し動作に先立ってシフトレジスタ8, 10, 11の各ビットは論理値“1”に初期化され、ヒューズ回路7に動作電源Fvddが供給される。シリアル転送においてはスイッチ制御ビットDswは最終段のシフトレジスタ11からオーバーフローしてスイッチ回路18に供給される。オーバーフローしたスイッチ制御ビットDswはスイッチ回路18のスイッチ制御信号とされ、スイッチ制御信号の論理値“0”でスイッチ回路18は電源電圧Vddを遮断し、ヒューズ回路7への動作電源Fvddの供給を停止する。

【0047】尚、図示はしないが、シフトレジスタ8, 10, 11の各ビットを論理値“1”に初期化するには、制御ロジック17よりシフトレジスタ8, 10, 11にリセット制御信号を供給して実現するようにしたり、或はテストパッド16からシリアルバス9経由でシフトレジスタ10, 11の各ビットに論理値“1”をシフト入力させればよい。

【0048】図6にはヒューズ回路の不揮発性メモリセル6の後段にラッチ回路20を有するヒューズ回路7Aを採用し、ラッチ回路20の出力をシフトレジスタ8に供給するようにしたシリアル配信の構成が例示される。その他の構成は図1と同様であるので詳細な説明は省略する。

【0049】図7には図1において回路6と8の機能を合わせてヒューズ回路7Bと位置付けたシリアル配信の構成が例示される。ヒューズ回路7B及び回路モジュール2, 3をIP(知的所有権)と称される回路モジュールを用いて構成する場合、IPモジュール以外の回路モジュールとして用意すべき回路が図1及び図6の構成よりもシフトレジスタ1個分少なくなる。その際、同図のシフトレジスタ8はヒューズ回路7の不揮発性メモリセル6の書き込み用データを保持させることも可能であるから、配信用と書き込み用の双方向性機能、すなわち双方向入出力機能を持たせるとよい。

【0050】図8には図1の更に具体例が示される。同図では、欠陥救済、回路特性のトリミング、又は機能切換えの対象とされる回路モジュールとして、A/D・D/A変換回路22、CPU23、CPU23のアクセラレータを構成する論理回路(LOGIC)24、SRAM(Static Random Access Memory)25、DRAM(Dynamic Random Access Memory)26、ROM(Read Only Memory)27、電源回路28、及び入出力ポート

(IO)29を備える。図面上、それらの回路が制御情報を欠陥救済に用いる構成であれば“(救済)”の語を、回路特性のトリミングに用いる構成であれば“(トリミング)”の語を便宜上付記してある。32~39は各回路モジュールに割当てられたシフトレジスタである。前記回路モジュール22~29は内部バス5に接続される。

【0051】図8では、特に制限されないが、デバイス

テストなどに用いるJTAG(Joint Test Action Group)に準拠したテストインタフェース回路40をヒューズ回路に対する書き込み処理等のための外部インタフェースに利用している。シリアルバス9に対する外部からの直接的なデータ入力や出力にも前記テストインタフェース回路40を用いるようになっている。シリアルバス9に対する外部からの直接的なデータ入力に際して、シフトレジスタ32~39に対するクロック制御は、特に図示はしないが、テストインタフェース回路40を経由して入力し、或はテストのプローブ端子を前記クロック信号φ2の供給経路に設けたパッド電極に接触させて供給するようにしてもよい。

【0052】図9には同一の小規模回路ブロックの集合によって構成された大規模回路モジュールに対する救済手法の一例が示される。同図では図8のSRAMを16Kバイトのような小規模のメモリブロックを16個集めて大容量化したときの小規模メモリブロック単位の救済手法が例示される。ここではSRAM25は制御情報を受けるシフトレジスタ35を有し、シフトレジスタ35にラッチされた制御情報はSRAM25の全体的な制御回路41等にも供給される。SRAM25は、正規メモリブロック42を16個、救済用メモリブロック(冗長メモリブロック)43を2個備える。不良のある正規メモリブロック(不良メモリブロック)42(F)は冗長メモリブロック43に置き換えられる。この置き換えを指示する情報(冗長プログラム情報)として、シフトレジスタ35にラッチされた特定の制御情報を利用する。その置き換えの制御はシフトレジスタ35から制御情報等を受取る前記制御回路41が行なう。

【0053】メモリブロック42, 43は夫々同じIPモジュールとして提供される設計部品を用いて設計されたものである。メモリブロック42, 43は、メモリアレイ45、アドレスデコーダやセンスアンプ等のメモリアレイ45に固有の制御回路から成るローカル制御部46、及び制御回路41等による全体的な制御情報を受けて当該メモリブロック42, 43の動作を制御するグローバル制御部47から構成される。

【0054】メモリブロック42, 43は、図10に例示されるように外部とのインタフェースを、クロック同期又は、非同期などのように、選択可能なインタフェース形式から選んだ一つのインタフェース形式をユニバーサルインタフェース部48として持つことも可能である。

【0055】図11には不良メモリブロックを置き換える構成が例示される。メモリブロック42, 43の各グローバル制御部47は自らに割当てられたブロックID番号を有する。正規メモリブロック42に対しては1~nまでのID番号が割当てられ、冗長メモリブロック43に対してはn+αのID番号が割当てられている。メモリアクセス動作においてメモリブロックにはメモリブ

10

20

30

40

50

15

ロック選択情報SBLと、メモリブロック内のアクセスアドレス信号(図示を省略)とが制御回路41から供給される。ここでは前記メモリブロック選択情報SBLは、動作を選択しようとするメモリブロックのID番号情報とされる。各メモリブロック42, 43はメモリブロック選択情報SBLと固有のID番号とを比較する比較回路47Aを有する。比較回路47Aによる比較結果が一致の場合、一致に係るグローバル制御部47がブロック選択信号BSによりローカル制御部46をイネーブルとし、メモリブロック内アドレス信号に対するメモリの選択動作、選択されたメモリセルに対するデータ書き込み又は読み出し動作等を可能とする。比較結果の不一致に係るメモリブロックでは不一致に係るグローバル制御部47がローカル制御部46をディスエーブルとし、また、メモリブロック45のパワースイッチ47Bをカットオフにして、当該メモリブロックにおけるメモリ動作が抑止される。このとき、前記制御部41は、内部バス5を介してCPUなどから与えられるアクセスアドレス信号に従ってメモリブロック選択情報SBLを生成するとき、シフトレジスタ35の一部として位置付けられるIDテーブル35Aの救済情報を参照して、不良メモリブロックを冗長メモリブロックに置き換えるように、メモリブロック選択情報SBLを生成する。即ち、IDテーブル35Aには救済情報として不良メモリブロックのID番号情報とそれを置き換える冗長メモリブロックのID番号情報とのペアが保持されている。制御部41は、CPUなどから与えられるアクセスアドレス信号で指定されるメモリブロックのID番号がIDテーブル35Aに登録されている不良ID番号に一致するかを検索し、一致しなければアクセスアドレス信号で指定されるメモリブロックのID番号をそのまま出力し、一致していれば、不良ID番号とペアを成す冗長ID番号の情報を出力する。これにより、メモリブロック単位で不良メモリブロックを冗長メモリブロックに置き換えて、不良メモリブロックの救済が行なわれる。

【0056】シフトレジスタ35の一部を構成するブロック内救済情報レジスタ35B~35Fは対応するメモリブロック45内の不良を個別に救済する救済情報を保持する。この救済情報はワード線単位又はビット線単位で不良メモリセルを救済する為の不良アドレスをXアドレス情報又はYアドレス情報によって特定する情報である。この救済のための構成については、メモリLS内部の不良救済として公知の技術を適用すればよいので、ここではその詳細な説明は省略する。前記メモリブロック単位の置き換えは、メモリブロック内で救済不可能な不良を有するメモリブロックを対象とすることになる。回路モジュールに対して欠陥救済を階層的に行なうことができる。

【0057】図12には不良メモリブロックを置き換える別の構成が例示される。図11との相違点はメモリブ

16

ロック42, 43のID番号を可変とする。即ち不良メモリブロックには有意のID番号を与えず、無効番号、例えば値“0”を与えるようにする。メモリブロック42, 43はID番号を可変に設定可能とするID制御ブロック47Cを有する。このID制御ブロック47Cは、+1のインクリメントカウンタ50を有し、前段からの計数値を端子(A)から入力し、入力した計数値をバイパスさせるかインクリメントカウンタ50でインクリメントするかをスイッチ51で選択し、バイパス計数値又はインクリメントカウンタ50によるインクリメント値はスイッチ53を介して端子(B)から次段に送られる。選択ゲート54はスイッチ52がオフ状態のとき前記インクリメントカウンタ50の計数値をID番号として比較回路47Aに供給し、スイッチ52がオン状態のときはIDの無効番号を出力する。スイッチ51, 52, 53は端子(C)から入力される制御信号によってスイッチ制御され、図12の第1スイッチ状態では前段からのID番号情報をバイパスさせて次段に送り、比較回路47Aには無効番号を与える。前記第1スイッチ状態とは反対の第2スイッチ状態では、前段からのID番号情報をインクリメントして次段及び比較回路47Aに与える。ID制御ブロック47Cに供給される制御信号はID制御ブロック47C毎に個別化された、前記シフトレジスタ35の一部であるIDテーブル35aにラッチされた制御情報によって与えられる。初段のID制御ブロック47Cに端子(A)から供給される初期値は前記IDテーブル35aにラッチされた制御情報によって与えられる。したがって、不良のメモリブロック42に対してID制御ブロック47Cを第2スイッチ状態に制御すれば、当該不良のメモリブロック42には有意のID番号が割り当てられず、メモリブロック選択情報SBLによる動作選択の対象から外される。要するに、メモリブロック42, 43に対するID番号の割り当てを可変に制御する。例えば、初段のID制御ブロック47Cの端子(A)に供給される初期値を“i-1”とすると、初段メモリブロック42のID番号は“i”とされる。このとき、次段メモリブロックのID制御ブロック47Cに対して第1スイッチ状態を選択すれば当該メモリブロックのID番号は“i+1”となる。一方、次段メモリブロックのID制御ブロック47Cに対して第2スイッチ状態を選択すれば当該メモリブロックのID番号は無効となる。その次のメモリブロックのID制御ブロック47Cに対して第1スイッチ状態を選択すれば当該メモリブロックのID番号が“i+1”となる。

【0058】尚、図12には図11で説明したシフトレジスタ35の一部を構成するブロック内救済情報レジスタ35B~35Fの図示を省略している。ブロック内救済情報レジスタ35B~35Fを設けずに、回路モジュールに対して階層的に欠陥救済を行なわないようにしてもよい。

17

【0059】図13には前記制御情報などの情報フォーマットが例示される。先頭にサインビットSIGが設けられ、その後に前記制御情報が続き、最後に管理情報が付加される。

【0060】サインビットSIGは、前記ヒューズ回路7に対する救済情報などの制御情報の書き込みの有無、救済された良否チップか否か等を示す情報とされる。このサインビットSIGをチップ外部に読み出すことで、チップの救済有無等を判別できる。このサインビットSIGを1ビットでの表現する場合は良品と救済良品の判別を1ビットで現す場合、救済情報を書き込んだ良品を“1”で示し、救済情報を書き込まない良品を“0”で示し、不良品は別の識別子が表すことになる。2ビットを用いる場合、1ビットは書き込みの有無を示し、他の1ビットは良否を表す。サインビットSIGを用いることにより一度書き込まれたデバイスに対しては再書き込みを防止することができる。さらにヒューズ回路にデータを書き込む際、P検（プローブ検査）を一度途中まで実施したウェーハに対して、何らかの原因で中断され、同じチップに再度書き込むようなオーバーライトによるメモリセルの特性劣化を防止することができる。

【0061】前記制御情報は例えば、前記IDテーブル25A、35aの情報、ブロック内救済レジスタ35B～35Fの情報、機能設定情報、及びトリミング情報を含む。前記IDテーブル25A、35aの情報は前述した通りである。前記ブロック内救済レジスタ35B～35Fの情報は、メモリの救済イネーブルビットREB、救済すべきメモリのXアドレスXadd、救済すべきメモリのYアドレスYadd等とされる。機能設定情報は前記入出力ポート29における外部インタフェースの信号仕様（CMOSレベルインタフェース、TTLレベルインタフェース）の選択情報等である。トリミング情報は例えばA/D・D/A変換回路22や電源回路28における抵抗分圧回路の抵抗値トリミングの情報等である。

【0062】前記管理情報は、半導体集積回路の製造ロット番号（LOT_No.）、ウェーハ上のチップアドレス、及びMOSTランジスタの閾値電圧Vthやソース・ドレイン間電流Idsなどの素子特性の情報とされる。

【0063】図14には半導体集積回路の製造過程におけるヒューズ回路7に対する書き込みと検証の処理フローが例示される。

【0064】同図は例えばSRAM25に対するメモリテストに適用する場合を一例とする。まず、ウェーハ状態で半導体集積回路のチップに対してプローブテストによりAC、DC、及びファンクションの各テストを行う（S1）。テスト結果に基づいて良否判定を行う（S2）。不良品に対しては、機能、DC特性等の点より救済可能性を判定する（S3）。救済不可能なチップは不

18

良品とされる。救済可能なチップに対して救済データをそのチップのシフトレジスタ35に設定する（S4）。設定の操作は前述の通り、図13で例示したフォーマットでテストによりテストパッド16を介してシリアル配線9に供給することで行う。このときのシフトレジスタ35等に対するクロック制御（シフト制御）は前記クロック信号φ2の信号パッドにプローブを介してテストからクロック信号を供給することによって行えばよい。救済情報をシフトレジスタ35などにセットした状態でSRAM25等を動作させて、そのメモリ動作が正常であるかを検証する（S5）。特に図示はしないが、ステップS4のシフトレジスタ設定処理とステップS5のメモリテスト動作は、シフトレジスタへの設定値を変えて異なる条件で何回かに分けて行う場合もある。このような場合であってもシフトレジスタに対するデータロードを行えばよく、不揮発性メモリセルの記憶情報を書き換えることは一切必要ない。

【0065】ステップS5のメモリテストで最終的にメモリ動作が異常であればそのチップは不良品とされる。メモリテストをパスしたチップに対して今度はヒューズ回路7のテストが正常であるかを検証する（S6）。ヒューズ回路7が異常であればそのチップは不良である。ヒューズ回路が正常であればヒューズ回路7に対してサインビット、救済情報などの制御データ、及び前記管理情報を書き込む。（S7）。更にここでは、ヒューズ回路7の記憶情報に対するECC機能をセットする（S8）。要するに、ステップS7で書き込んだ制御情報及び管理情報等に対する1ビットのエラー訂正コードを生成し、このエラー訂正コードをヒューズ回路7に追加して、ヒューズ回路7からの読み出し情報に対してエラー検出・訂正を可能にする。最後に、ヒューズ回路7に対する設定を全て終わった後、ヒューズ回路7の記憶情報を用いた実動作にて半導体集積回路のチップを動作させてテストを行い、正常であればその半導体集積回路を救済された良品チップとし、異常であれば不良チップとする。

【0066】図15にはチップ上におけるヒューズ回路の配置が例示される。ヒューズ回路7はチップ上の一カ所に集中配置され、分散されていない。ヒューズ回路7は書き込みに高電圧を利用するから高電圧領域（高耐圧領域）60に形成される。外部とのインタフェースを行う一部の回路例えばIO29を除いたその他の回路モジュール2、3例えばCPU23、SRAM25、DRAM26等は高耐圧を必要とせず高速動作が優先されるから低電圧領域（低耐圧領域）61に形成される。図15には高電圧領域60から低電圧領域61に至る一部の領域に形成されたCMOSインバータの平面図と縦断面図が例示される。前記高耐圧領域60と低耐圧領域61との間は分離領域として離さなければならない。高電圧領域60を一カ所に集中配置すれば分散配置する場合に比

19

べて全体として必要な分離領域の面積を小さくすることが容易である。

【0067】次に、ヒューズ回路7に用いる不揮発性メモリセルについて説明する。

【0068】図16にヒューズ回路7に採用される不揮発性メモリセルが例示される。この不揮発性メモリセル6は、第1ソース電極Ts1、第1ドレイン電極Td1、フローティングゲート電極Tf及びコントロールゲート電極Tcを有し、異なる閾値電圧を持つことが可能な一対の不揮発性記憶素子PM1、PM2と、第2ソース電極Ts2及び第2ドレイン電極Td2を有し前記フローティングゲート電極Tfをゲート電極とし、前記不揮発性記憶素子PM1、PM2が持つ閾値電圧に応じて異なる相互コンダクタンス（或はスイッチ状態）を持つことが可能な直列された読み出し用のMOSトランジスタDM1、DM2と、前記MOSトランジスタDM1、DM2を読み出し信号線RDLに接続する選択MOSトランジスタSMと、を有して成る。前記不揮発性記憶素子PM1、PM2のコントロールゲート電極Tcは書き込みワード線PWLに共通接続される。前記不揮発性記憶素子PM1、PM2の共通ソース電極Ts1は読み出し用MOSトランジスタDM1、DM2に直列接続される。前記不揮発性記憶素子PM1、PM2の共通ドレイン電極Td1は書き込みデータ線PDLの共通接続される。

【0069】前記不揮発性記憶素子PM1、PM2の高閾値電圧（フローティングゲートに電子が注入された書き込み状態の閾値電圧）状態において前記MOSトランジスタDM1、DM2はカットオフ状態、前記不揮発性記憶素子PM1、PM2の低閾値電圧状態（フローティングゲートから電子が放出された消去状態の閾値電圧）においてMOSトランジスタDM1、DM2はオン状態にされる。不揮発性記憶素子PM1、PM2の消去状態は、例えば不揮発性記憶素子PM1、PM2の第1ドレイン電極Td1とコントロールゲート電極Tcを回路の接地電圧のような0V、不揮発性記憶素子の第1ソース電極Ts1を6Vとし、フローティングゲート電極Tfからトンネル電流で電子を第1ソース電極Ts1に引き抜くことによって達成できる。前記書き込み状態は、例えば不揮発性記憶素子PM1、PM2の第1ドレイン電極Td1とコントロールゲート電極Tcを5V、不揮発性記憶素子の第1ソース電極Ts1を回路の接地電圧のような0Vとし、第1ドレイン電極Td1で発生したホットエレクトロンをフローティングゲートTfに注入することによって達成することができる。

【0070】不揮発性記憶素子PM1、PM2のフローティングゲート電極Tfは前記読み出しMOSトランジスタDM1、DM2のゲート電極になるから、読み出しMOSトランジスタDM1、DM2は、フローティングゲート電極Tfの電子注入状態・電子放出状態、換言す

20

れば書き込み状態・消去状態に応じたスイッチ状態若しくは相互コンダクタンスを採る。したがって、コントロールゲートTcに選択レベルを与えなくても、そのスイッチ状態若しくは相互コンダクタンス状態に応じた電流を前記スイッチSMを介して読み出しデータ線RDLに流すことができる。コントロールゲート電極Tcに選択レベルを与えないため、必要な読み出し信号量を確保するという意味で、前記読み出しMOSトランジスタDM1、DM2にはディプレッションタイプのMOSトランジスタを採用するとよい。

【0071】一方、前記読み出しMOSトランジスタDM1、DM2にエンハンスメントタイプのMOSトランジスタを採用する場合には、必要な読み出し信号量を確保するという意味で、読み出し動作においてもコントロールゲート電極Tcに選択レベルを与えることが望ましい。

【0072】上記より、読み出し動作では、不揮発性記憶素子PM1、PM2に閾値電圧に応じてチャネル電流を流す必要はない。読み出し動作時には不揮発性記憶素子PM1、PM2のソース電極Ts1及びドレイン電極Td1を夫々0Vのような回路の接地電位電位にしてよい。したがって、第1ドレイン電極Td1からフローティングゲートTfに弱いホットエレクトロン注入は生じない。この時コントロールゲート電極Tcも回路の接地電位にされている場合にはトンネル電流も生じない。仮に、コントロールゲート電極Tcに選択レベルを印可しても、第1ドレイン電極Td1とフローティングゲート電極Tfの間でトンネル電流を生ずる事はない。読み出しMOSトランジスタDM1、DM2の第2ドレイン電極Td2との間で弱いトンネル等を生ずる虞はあるが、コントロールゲート電極Tcの選択レベルが低ければ実質的に問題ないと考えられる。このように、読み出し動作において、チャージゲインによるデータ反転の問題を生ぜず、これによって、長期のデータ保持性能を向上させ、読み出し不良率の低下を実現することが可能になる。

【0073】特に図16の例では、一方の不揮発性記憶素子PM1のフローティングゲート電極Tfは一方の読み出しMOSトランジスタDM1が共有し、他方の不揮発性記憶素子PM2のフローティングゲート電極は他方の読み出しMOSトランジスタDM2が共有し、前記一対の読み出しMOSトランジスタDM1、DM2を前記選択トランジスタ素子SMに直列接続する。この構成において一対の不揮発性記憶素子PM1、PM2は共に書き込み状態又は消去状態にプログラムされる。双方の不揮発性記憶素子PM1、PM2の書き込み状態において双方の読み出しMOSトランジスタDM1、DM2はオフ状態になっている。書き込み状態の不揮発性記憶素子PM1、PM2から何らかの原因で保持電荷が漏洩する可能性は確率的に0ではないが、一方の不揮発性記憶素子P

21

M1又はPM2から保持電荷が漏洩しても前記読み出しMOSトランジスタDM1、DM2の直列経路はカットオフ状態のままであり、双方の不揮発性記憶素子PM1及びPM2から共に保持電荷が漏洩する確率は極めて低く、これにより、データリテンションが改善され、読み出し不良率を更に低くすることが可能になる。

【0074】図17には不揮発性メモリセルの別の例が示される。同図に示されるメモリセル6Aは、前記不揮発性記憶素子PM1、PM2とpチャネル型の読み出しMOSトランジスタEM1、EM2を夫々対有し、一方の不揮発性記憶素子PM1のフローティングゲート電極Tfは一方の読み出しMOSトランジスタEM1が共有し、他方の不揮発性記憶素子PM2のフローティングゲートTf電極は他方の読み出しMOSトランジスタEM2が共有し、前記対の読み出しMOSトランジスタEM1、EM2を前記選択MOSトランジスタSMに並列接続する。この構成においても上記同様に、一对の不揮発性記憶素子PM1、PM2は共に書き込み状態又は消去状態にプログラムされる。この例は、前記読み出しMOSトランジスタEM1、EM2の導電型が図16とは相違する場合を想定するものであるから、不揮発性記憶素子PM1、PM2が書き込み状態にされているとき、双方の読み出しMOSトランジスタEM1、EM2はオン状態になっている。このとき、何らかの原因で書き込み状態の不揮発性記憶素子PM1、PM2から保持電荷が漏洩する可能性は確率的に0ではないが、一方の不揮発性記憶素子PM1、PM2から保持電荷が漏洩しても前記読み出しMOSトランジスタEM1、EM2の並列経路はオン状態のままであり、双方の不揮発性記憶素子PM1、PM2から共に保持電荷が漏洩する確率は極めて低く、これにより、データリテンションが改善され、読み出し不良率を更に低くすることが可能になる。

【0075】図18には前記不揮発性記憶素子PM1、PM2のデバイスの構造断面が例示される。前記不揮発性記憶素子PM1、PM2は、コントロールゲート電極として機能される第1半導体領域(Nwell)の上に絶縁層を介して容量電極が設けられたMOS容量素子PMbと、第2半導体領域(Pwell)に形成された第1ソース電極及び第1ドレイン電極とゲート電極とを有するMOSトランジスタPMaとを有し、前記容量電極は前記ゲート電極に共通接続されてフローティングゲート電極(FG)として機能させるように構成される。

【0076】図19には図16の不揮発性メモリセル6の更に詳細な別の例が示される。不揮発性記憶素子PM1、PM2は、コントロールゲート電極として機能される第1半導体領域の上に絶縁層を介して容量電極が設けられたMOS容量素子MP1b、PM2bと、第2半導体領域に形成された第1ソース電極及び第1ドレイン電極とゲート電極とを有するMOSトランジスタPM1a、PM2aとを有する。MOS容量素子MP1b、P

22

M2bは、要するに、ソース電極、ドレイン電極、及びバックゲートを夫々共通接続したMOSトランジスタ容量によって構成される。MOS容量素子MP1b、PM2bの容量電極が前記MOSトランジスタPM1a、PM2aゲート電極に共通接続されて前記フローティングゲート電極Tfとして機能される。読み出しMOSトランジスタDM1、DM2はエンハンスメントタイプで構成される。このMOSトランジスタDM1、DM2のコントロールゲート電圧cgに対する電圧—電流特性は、対応する不揮発性記憶素子の書き込み状態と消去状態により相違する。

【0077】読み出しMOSトランジスタDM2のドレインはnチャネル型のMOSトランジスタTR3、TR4を介して制御ノードpuに結合され、トランジスタTR3とTR4の結合ノードの電位が出力rlとされる。前記MOSトランジスタPM1a、PM2aは夫々nチャネル型MOSトランジスタTR1、TR2を介して制御ノードwlに結合される。トランジスタTR1～TR4のゲート電極が電源電圧でバイアスされる。cgはコントロールゲート、slはソース線に相当する。

【0078】図19の不揮発性メモリセルの動作を概略的に説明する。データ書き込み時は、端子sl、cgに5V、端子wlを0Vとして不揮発性記憶素子PM1、PM2をオンさせ、端子sl側からフローティングゲートにホットエレクトロン注入を行う。消去動作は、端子slにのみ5Vを印加し、トンネル放出によりフローティングゲートから電子を放出させる。読み出し動作では、端子puを1.5V、端子cgに1.5Vを印加し、フローティングゲート上の蓄積電荷に応じたトランジスタDM1、DM2のスイッチ状態若しくは相互コンダクタンス状態で決まる端子rlの電位を後段のラッチ回路にラッチさせる。読み出し動作では、不揮発性記憶素子PM1a、PM2aのソース電極(sl)及びドレイン電極(wl)側は共に0Vに固定されている。したがって、読み出し時に、トランジスタPM1a、PM2aから弱いホットエレクトロンがフローティングゲートに注入されることはない。その際、読み出しMOSトランジスタDM1、DM2からフローティングゲートに弱いホットエレクトロン注入が発生しようとするが、TR4、TR3、DM2、DM1が縦積みされているから、読み出しMOSトランジスタDM1、DM2のドレイン電圧はpu以下の電圧になり、また、読み出し時におけるcgの制御レベルも低いので、そのようなホットエレクトロン注入は実質的に無視し得るほど小さいと推定することができる。したがって、不揮発性記憶素子PM1、PM2それ自体の読み出し不良率は低くされる。

【0079】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

23

【0080】例えば、不揮発性メモリセルの構造は図16乃至図19で説明した構成に限定されない。また、そのデータ記憶形式も上記に限定されず高誘電体記憶形式のメモリセルを用いてもよい。更に不揮発性メモリセルは、不揮発性記憶素子をペアで用いるOR形式又はAND形式に限定されず、不揮発性記憶素子と読み出し用MOSTランジスタとをそれぞれ1個用いる回路形式であってもよい。また、制御情報の配信にはシフトレジスタを順次直列接続するシリアルバスの代わりにパラレルバスを用いてもよい。また、制御情報を受けるレジスタ手段はシフトレジスタに限定されず、パラレル・イン・パラレル・アウト形式のレジスタであってもよい。データ転送形式に適合する形態を採用すればよい。本発明はCPUとRAMを含むマイクロコンピュータ、マイクロプロセッサ若しくはデータプロセッサと称される半導体集積回路、更にシステムオンチップLSI若しくはシステムLSIと称される大規模な半導体集積回路などに広く適用することができる。

【0081】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0082】すなわち、本発明に係る半導体集積回路は、回路モジュールの欠陥救済、回路特性のトリミング又は機能切り換えのための制御情報の記憶に、共通バスのような第1配線に接続される汎用利用されるフラッシュメモリ等の不揮発性メモリを用いず、専用信号線に接続されたヒューズ回路の不揮発性メモリセルを用いる。したがって、制御情報に対する情報記憶の信頼性が汎用利用フラッシュメモリ等の不揮発性メモリの情報記憶性能に制限されず、制御情報に対する情報記憶の信頼性を向上させることが容易である。

【0083】制御情報の伝達に用いる第2配線はそれ専用の配線であるから、回路モジュールで実動作に利用される回路部分との接続の切換えやその制御を行なうことを要しない。これによって、制御情報を配信するための回路構成を簡素化することができる。

【0084】前記ヒューズ回路から制御情報を読み出した後、前記不揮発性メモリセルから記憶情報を読み出し可能にする電圧印加状態を解除するので、それ以降、半導体集積回路の実動作期間であっても、ヒューズ回路の不揮発性メモリセルには電気的なストレスがかからない。この点においても、制御情報に対する情報記憶の信頼性が向上する。

【0085】前記ヒューズ回路を前記半導体基板の一個所に集中配置することにより、記憶情報の書き込みに必要な高電圧動作回路を分散させずに済み、低耐圧回路部分との分離もしくは離間のためのスペースを最小限に抑えることができる。

【0086】半導体集積回路の外部との間で前記第2配

24

線の情報を入出力可能にするテスト用外部インタフェース手段を採用することにより、前記制御情報による動作確認を行なうために不揮発性メモリセルを替换える頻度を極力少なくすることができ、それによって不揮発性メモリセルの特性劣化の虞を低減することができる。

【0087】上記不揮発性メモリセルには、読み出し動作において不揮発性記憶素子にチャネル電流を流さなくても済み、また大きなワード線電圧を印加させなくても済むようにした構造を採用して、チャージゲイン等起因するデータ反転を生じないようにする。

【0088】不揮発性記憶素子のフローティングゲート電極を読み出しトランジスタ素子のゲート電極とすることから、読み出しトランジスタ素子は、フローティングゲート電極の電子注入状態・電子放出状態、換言すれば書き込み状態・消去状態に応じたスイッチ状態若しくは相互コンダクタンスを採る。したがって、コントロールゲートに選択レベルを与えなくても、そのスイッチ状態若しくは相互コンダクタンス状態に応じた電流を前記伝達手段に流すことができる。

【0089】上記より、読み出し動作では、不揮発性記憶素子に閾値電圧に応じてチャネル電流を流す必要はない。読み出し動作時には不揮発性記憶素子のソース電極及びドレイン電極を夫々0Vのような回路の接地電位にしてよい。したがって、第1ドレイン電極からフローティングゲートに弱いホットエレクトロン注入は生じない。このように、読み出し動作において、チャージゲインによるデータ反転の問題を生ぜず、これによって、長期のデータ保持性能を向上させ、読み出し不良率の低下を実現することが可能になる。

【0090】前記不揮発性記憶素子と読み出しトランジスタ素子を夫々一対有し、一方の不揮発性記憶素子のフローティングゲート電極は一方の読み出しトランジスタ素子が共有し、他方の不揮発性記憶素子のフローティングゲート電極は他方の読み出しトランジスタ素子が共有し、前記一対の読み出しトランジスタ素子を前記選択トランジスタ素子に直列接続、或いは並列接続する。この構成において一対の不揮発性記憶素子は共に書き込み状態又は消去状態にプログラムされる。双方の不揮発性記憶素子の書き込み状態において双方の読み出しトランジスタ素子はオフ状態になっている。書き込み状態の不揮発性記憶素子から何らかの原因で保持電荷が漏洩する可能性は確率的に0ではないが、一方の不揮発性記憶素子から保持電荷が漏洩しても前記読み出しトランジスタ素子の直列経路はカットオフ状態のままであり、また、前記読み出しトランジスタ素子の並列経路の一方はオン状態のままであり、双方の不揮発性記憶素子から共に保持電荷が漏洩する確率は極めて低く、これにより、データリテンション対策が改善され、読み出し不良率を更に低くすることが可能になる。

【0091】本発明に係る半導体集積回路の製造方法

は、外部から与えられた制御情報にしたがって回路モジュールの動作を確認し、その確認結果に応じて前記ヒューズ回路に制御データを書き込むから、制御情報による動作確認を行なう場合に、不揮発性メモリセルにその都度制御情報を書き込むことを要しない。したがって、動作確認のために不揮発性メモリセルの書換えを要せず、それによって不揮発性メモリセルの特性劣化を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一例を示すブロック図である。

【図2】シフトレジスタのクロック信号波形を例示する説明図である。

【図3】制御情報のシリアル配信動作の様子を例示する説明図である。

【図4】ヒューズ回路に対する電源遮断制御の様子を例示するタイミングチャートである。

【図5】電源遮断制御の別の例を示す概略ブロック図である。

【図6】ヒューズ回路の不揮発性メモリセルの後段にラッチ回路を有するヒューズ回路を採用し、ラッチ回路の出力をシフトレジスタに供給するようにしたシリアル配信の構成を例示する概略ブロック図である。

【図7】図1における回路6と8の機能を合わせてヒューズ回路と位置付けたシリアル配信の構成を例示する概略ブロック図である。

【図8】図1の更に具体例を示すブロック図である。

【図9】同一の小規模回路ブロックの集合によって構成された大規模回路モジュールに対する救済手法の一例を示すブロック図である。

【図10】メモリブロックの拡張的な別の例を示すブロック図である。

【図11】不良メモリブロックを置き換える構成を例示する概略ブロック図である。

【図12】不良メモリブロックを置き換える別の構成を例示する概略ブロック図である。

【図13】制御情報などの情報フォーマットを例示する説明図である。

【図14】半導体集積回路の製造過程におけるヒューズ回路に対する書き込みと検証の処理フローを例示するフローチャートである。

【図15】チップ上におけるヒューズ回路の配置を例示 *

*する説明図である。

【図16】ヒューズ回路に採用される不揮発性メモリセルを例示する回路図である。

【図17】不揮発性メモリセルの別の例を示す回路図である。

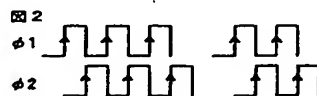
【図18】不揮発性記憶素子のデバイスのな構造断面を例示する縦断面図である。

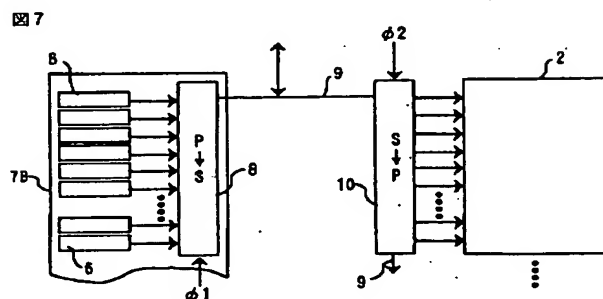
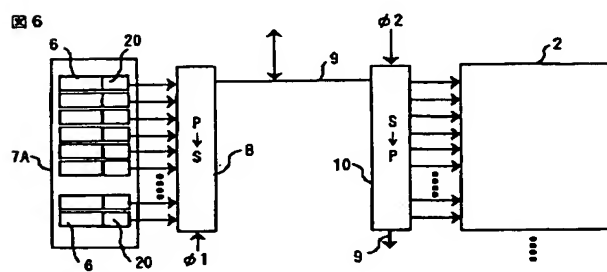
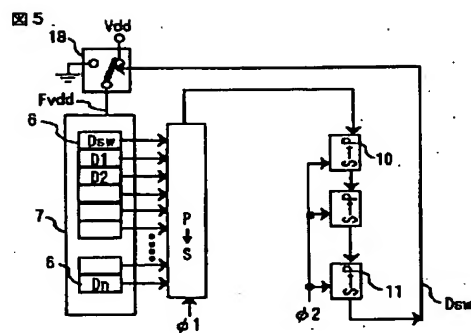
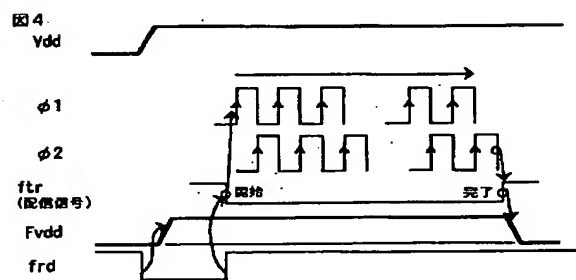
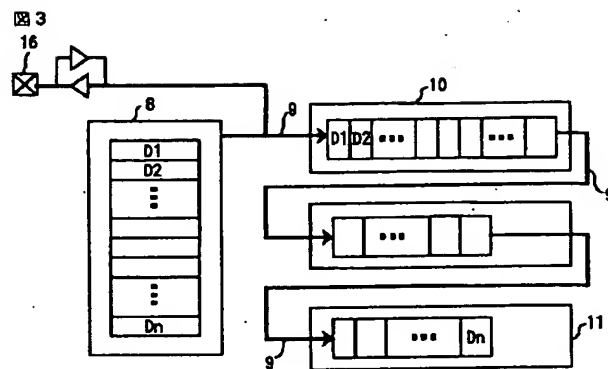
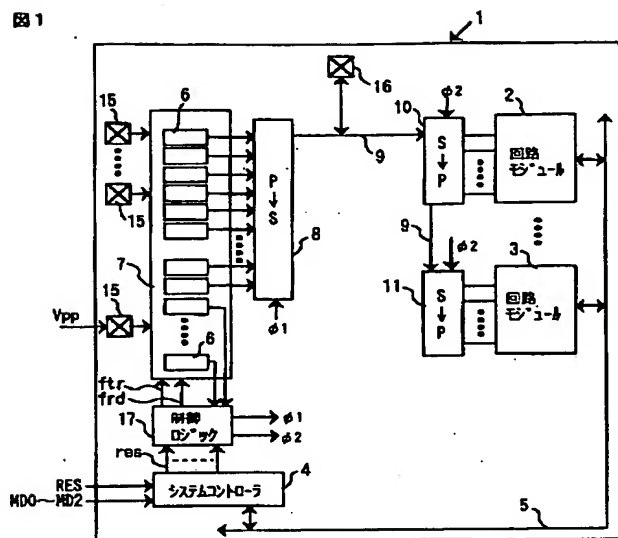
【図19】図16の不揮発性メモリセルの更に詳細な別の例を示す回路図である。

【符号の説明】

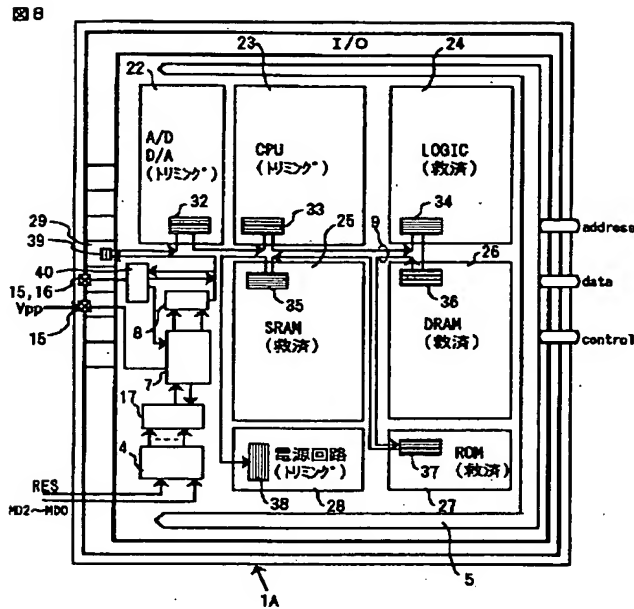
- 1、1A 半導体集積回路
- 2、3 回路モジュール
- 4 システムコントローラ
- 5 内部バス
- 6、6A 不揮発性メモリセル
- 7 ヒューズ回路
- 8 シフトレジスタ
- 9 シリアルバス
- 10、11 シフトレジスタ
- 15 テストパッド
- 16 テストパッド
- 17 制御ロジック
- RES リセット信号
- MD0～MD2 モード信号
- φ1、φ2 クロック信号
- 22～29 回路モジュール
- 32～39 シフトレジスタ
- 35A IDテーブル
- 35a IDテーブル
- 30 SBL メモリブロック選択情報
- BS ブロック選択信号
- 40 テストインタフェース回路
- 41 制御回路
- 42 メモリブロック
- 43 冗長メモリブロック
- 45 メモリアレイ
- 46 ローカル制御部
- 47 グローバル制御部
- 47A 比較回路
- 47C ID制御ブロック
- 60 高電圧領域（高耐圧領域）
- 61 低電圧領域（低耐圧領域）

【図2】

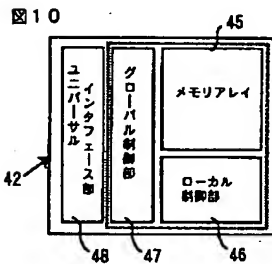




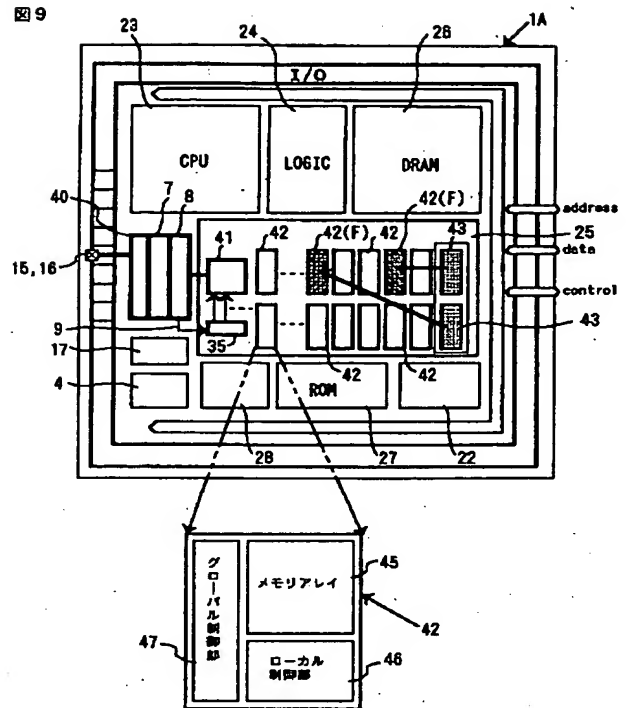
【図8】



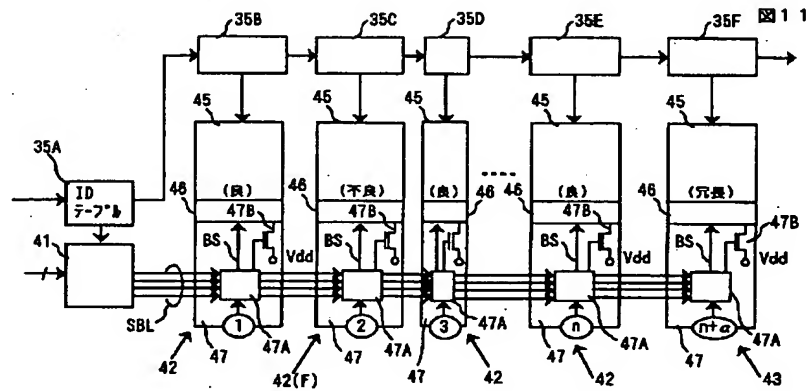
【図10】



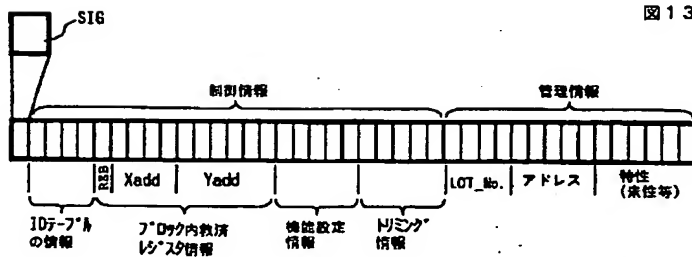
【図9】



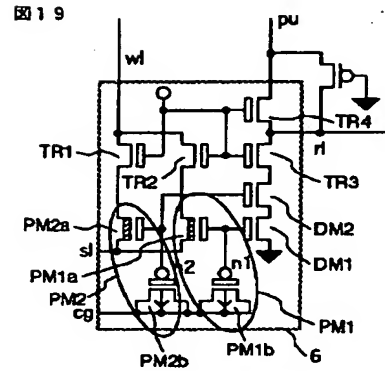
【図11】



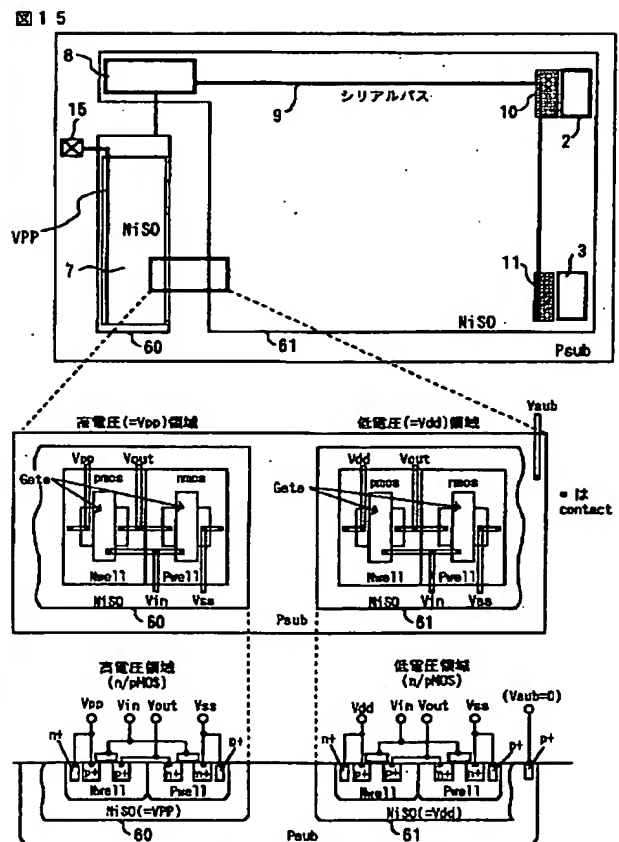
【図13】



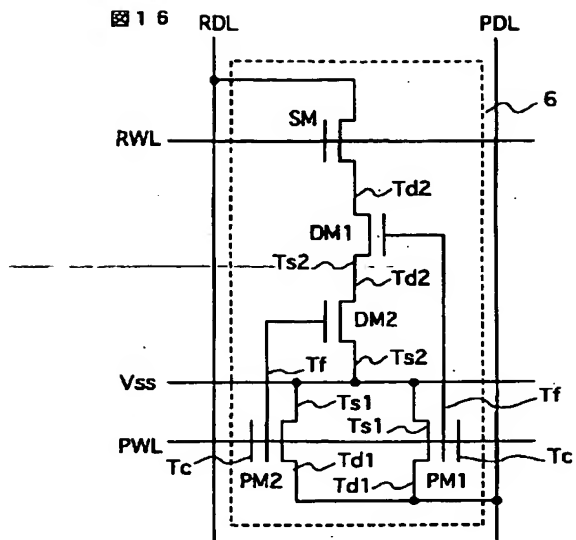
【图 19】



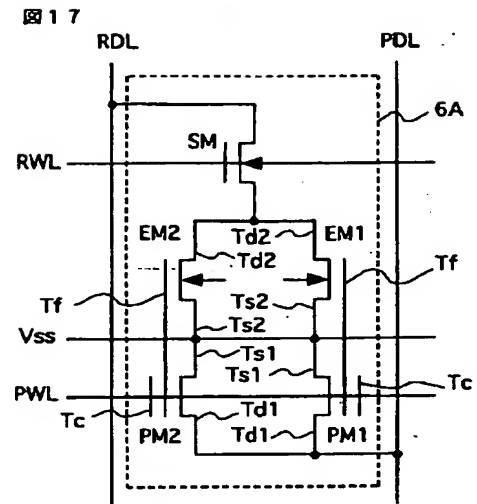
【図 15】



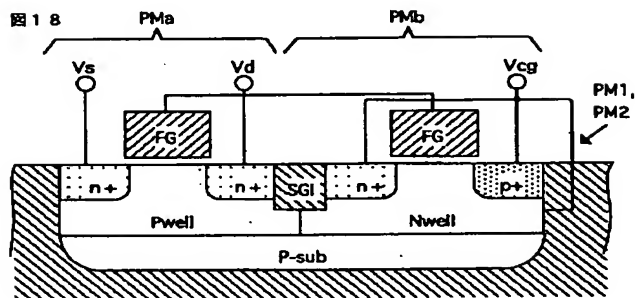
【図16】



【図17】



【図18】



フロントページの続き

(51)Int. Cl. 7

H 0 1 L 27/10

27/115

29/788

29/792

H 0 3 K 19/00

識別記号

4 6 1

4 9 1

F I

H 0 1 L 27/10

29/78

27/04

テーマコード(参考)

4 3 4

3 7 1

F

Fターム(参考) 5F038 AV06 AV15 AV16 DF03 DF04
DF05 DT04 DT08 DT15 DT18
EZ20
5F083 EP01 EP22 ER02 ER06 ER16
ZA10 ZA12 ZA13 ZA20
5F101 BA01 BB06 BC11 BE02 BE05
BE07 BG07
5J056 BB21 BB51 CC00 CC14 CC17
CC18 DD60
5L106 AA01 AA02 AA07 CC05 CC09
CC13 GG07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.